

(65) Publication number: 1999-0031218

(43) Date of publication of application: May 6, 1999

<Abstract>

An In-Plane Switching (IPS) Liquid Crystal Display (LCD) device according to the present invention comprises a substrate, a plurality of gate lines and data lines arranged perpendicularly on the substrate and defining a pixel region, a plurality of thin film transistors disposed at intersections between the gate lines and data lines, at least one first electrode formed in the pixel region, and at least one second electrode formed of transparent metal and arranged parallel to the first electrode. The thin film transistors each comprise a gate electrode formed on top of the substrate, a gate insulation layer stacked on top of the gate electrode, a semiconductor layer formed on top of the gate insulation layer, a polycrystalline ohmic contact layer formed on top of the semiconductor layer, and a source electrode and a drain electrode formed of a layer of an alloy of transparent metal and non-transparent metal on top of the ohmic contact layer.

공고특허10-0272537

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. 6
 G02F 1/1343

(45) 공고일자 2000년11월15일
 (11) 공고번호 10-0272537
 (24) 등록일자 2000년08월28일

(21) 출원번호	10-1997-0051851	(65) 공개번호	특1999-0031218
(22) 출원일자	1997년10월09일	(43) 공개일자	1999년05월06일
(73) 특허권자	엘지.필립스 엘시디주식회사 구본준 서울특별시 영등포구 여의도동 20번지 엘지.필립스 엘시디주식회사 론 위라하디락사 서울특별시 영등포구 여의도동 20번지		
(72) 발명자	서성모 경기도 안양시 동안구 호계동 경향아파트 20-102 오영진 경기도 남양주시 굽곡동 효창아파트 1-307		
(74) 대리인	김용인 심창섭		

설사관 : 이금우

(54) 횡전계방식액정표시소자구조및제조방법**요약**

본 발명의 횡전계방식 액정표시소자는 기판과 기판에 종횡으로 배열되어 화소영역을 정의하는 복수의 게이트배선 및 데이터배선과, 게이트배선과 데이터배선의 교차점에 배치된 복수의 박막트랜지스터와, 상기한 화소영역에 형성된 적어도 하나의 제1전극과, 상기한 제1전극과 평행하게 배열된 투명금속으로 이루어진 적어도 하나의 제2전극으로 구성된다. 박막트랜지스터는 기판 위에 형성된 게이트전극과, 게이트전극 위에 적층된 게이트절연막과, 게이트절연막 위에 형성된 반도체층과, 반도체층 위에 형성된 다결정 오믹콘택층과, 오믹콘택층 위에 형성된 투명금속과 불투명금속의 이중의 층으로 이루어진 소스전극 및 드레인전극으로 구성된다.

대표도

도4d

명세서**도면의 간단한 설명**

도 1은 종래의 횡전계방식 액정표시소자의 평면도.

도 2는 종래의 횡전계방식 액정표시소자의 단면도.

도 3은 또 다른 종래의 횡전계방식 액정표시소자의 단면도.

도 4는 본 발명에 따른 횡전계방식 액정표시소자의 제조방법을 나타낸 공정 단면도.

도면의 주요부분에 대한 부호의 설명 105 : 게이트전극 106a, 106b : 소스전극 107a, 107b : 드레인전극 109 : 반도체층 110 : 기판 115 : 공통전극 116a, 116b : 데이터전극 119 : n⁺층 120 : 게이트절연막 121 : 보호막**발명의 상세한 설명**

발명의 목적

발명이 속하는 기술 및 그 분야 종래기술

본 발명은 액정표시소자에 관한 것으로, 특히 개구율이 향상되고 제조공정이 간단한 횡전계방식 액정표시소자 구조 및 제조방법에 관한 것이다.

최근, 휴대용 텔레비전이나 노트북 컴퓨터에 많이 사용되는 박막트랜지스터 액정표시소자(TFT LCD)에서 대면적 화가 강력하게 요구되고 있지만, 상기한 TFT LCD에는 시야각에 따라 콘트라스트비(contrast ratio)가 변하는 문제가 있었다. 이러한 문제를 해결하기 위해, 광보상판이 장착된 트위스트네마틱(twisted nematic) 액정표시소자, 멀티도메인(multi-domain) 액정표시소자 등과 같은 여러 가지 액정표시소자가 제안되고 있지만, 이러한 여러 가지 액정표시소자로는 시야각에 따라 콘트라스트비가 저하되고 색상이 변하는 문제를 해결하기 힘든 실점이다.

광시야각을 실현하기 위해 제안되는 다른 방식의 액정표시소자인 횡전계방식(in plane switching mode)의 액정표시소자가 JAPAN DISPLAY 92 P547, 일본특허 특개평 7-36058, 일본특허 특개평 7-225538, ASIA DISPLAY 95 P107등에 제안되고 있다.

도 1은 일반적인 횡전계방식 액정표시소자를 나타내는 도면이다. 도면에 나타낸 바와 같이, 기판 위에는 복수의 게이트배선(1) 및 데이터배선(2)이 배열되어 화소영역을 정의하며, 상기한 게이트배선(1)과 데이터배선(2)의 교차점에는 복수의 박막트랜지스터(Thin film Transistor)가 배치되어 있다. 실제적인 액정표시소자에서는 n 개의 게이트배선(1)과 m 개의 데이터배선(2)에 의해 $n \times m$ 개의 화소영역에는 상기한 데이터배선(2)과 평행하게 공통전극(15)과 데이터전극(16)이 형성되고 있다. 공통전극(15)은 공통배선(3)에 접속되고 데이터전극(16)은 TFT의 드레인전극(7)에 접속되어 있다.

상기와 같이 구성된 액정표시소자에서 외부구동회로로부터 전압이 인가되면, 공통전극(15)과 데이터전극(16) 사이에 기판의 표면과 평행한 횡전계가 형성되어 액정분자가 기판이 표면과 평행하게 회전하게 된다.

그러나, 상기한 횡전계방식 액정표시소자는 도면에 나타낸 바와 같이, 실제의 화상이 구현되는 화소영역에 불투명금속으로 이루어진 공통전극(15)과 데이터전극(16)이 형성되어 있기 때문에 개구율이 일반적인 액정표시소자에 비해 작다는 단점이 있었다. 이러한 단점을 보완하기 위해 제안된 것이 도 2 및 도 3에 나타낸 바와 같이, 데이터전극(16)을 투명한 금속으로 형성한 액정표시소자이다.

도 2는 데이터배선(2), 소스전극(6), 데이터전극(7), 데이터전극(16)을 투명한 금속으로 형성한 횡전계방식 액정표시소자의 단면도이다. 도면에 나타낸 바와 같이, 기판(10) 위에는 게이트전극(5) 및 공통전극(15)이 형성되어 있고, 그 위에 게이트절연막(20)이 적층되어 있다. 게이트절연막(20) 위에는 채널층(channel layer)인 반도체층(9)이 형성되어 있으며, 그 위에 오미콘택층(ohmic contact layer)인 n

n^+ 층(19)이 형성되어 있다. n

n^+ 층(19)과 게이트절연막(20) 위에는 ITO(indium tin oxide)와 같은 투명한 금속으로 이루어진 데이터배선(2), 소스전극(6), 드레인전극(7) 및 데이터전극(16)이 형성되어 있으며, 그 위에 보호막(21)이 적층되어 있다.

상기한 구조의 횡전계방식 액정표시소자에서는 데이터전극(16)과 공통전극(15)이 모두 투명한 ITO로 이루어져 있기 때문에, 일반적인 횡전계방식 액정표시소자에 비해 개구율이 대폭 향상된다. 그러나, 일반적으로 ITO는 Al이나 Cr에 비해 저항이 대단히 크기 때문에 상기한 ITO를 데이터배선(2)으로 사용하는 경우 신호지연이 생기게 된다. 더욱이, ITO와 n

n^+ 층(19)의 접촉시 계면저항(boundary resistance)이 대단히 크기 때문에, 스위칭소자(switching element)인 TFT의 스위칭속도가 저하되는 문제가 있었다.

또한, 도 3에 나타낸 바와 같이 데이터배선(2), 소스전극(6), 드레인전극(7)을 Cr로 형성하고 데이터전극(16)만을 투명한 ITO로 형성하는 경우에는 데이터배선(2)의 저항문제도 없고 소스전극(6)과 드레인전극(7)의 n^+ 층(19)과의 계면저항문제도 해결될 뿐만 아니라 개구율도 향상되지만, Cr과 ITO를 각각 다른 공정에 의해 형성해야만 하기 때문에, 제조공정이 복잡해지고, 따라서 제조비용이 증가하는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 문제를 해결하기 위한 것으로, 데이터전극을 투명금속으로 형성하고 데이터배선, 소스전극, 드레인전극을 투명금속과 불투명금속으로 이루어진 이중의 층으로 형성하여, 상기한 소스전극과 드레인전극의 투명금속과 접촉하는 n^+ 층을 다결정실리콘으로 형성하여 개구율이 향상됨과 동시에 계면저항의 증가 및 신호지연이

발생하지 않는 횡전계방식 액정표시소자를 제공하는 것을 목적으로 한다.

본 발명의 다른 목적은 투명금속으로 이루어진 데이터전극과 투명전극 및 불투명금속으로 이루어진 소스전극 및 드레인전극을 동시에 형성함으로써 제조공정이 간편해진 횡전계방식 액정표시소자 제조방법을 제공하는 것이다.

상기한 목적을 달성하기 위해, 본 발명에 따른 횡전계방식 액정표시소자는 기판과, 상기한 기판에 종횡으로 배열되어 화소영역을 정의하는 복수의 게이트배선 및 데이터배선과, 상기한 게이트배선과 데이터배선의 교차점에 배치된 복수의 박막트랜지스터와, 상기한 화소영역에 형성된 적어도 하나의 제1전극과, 상기한 제1전극과 평행하게 배열된 투명금속으로 이루어진 적어도 하나의 제2전극으로 구성된다.

박막트랜지스터는 기판 위에 형성된 게이트전극과, 상기한 게이트전극 위에 적층된 게이트절연막과, 상기한 게이트절연막 위에 형성된 반도체층과, 상기한 반도체층 위에 형성된 다결정 오믹콘택층과, 상기한 오믹콘택층 위에 형성된 동일폭의 투명금속과 불투명금속의 이중의 층으로 이루어진 소스전극 및 드레인전극으로 구성된다. 상기한 구조의 횡전계방식 액정표시소자를 제조하는 방법은 기판을 제공하는 단계와, 상기한 기판 위에 게이트전극 및 공통전극을 형성하는 단계와, 상기한 기판 위에 게이트절연막, 반도체층, n

⁺층을 형성하는 단계와, 상기한 n⁺층을 레이저를 조사하여 결정화하는 단계와, 상기한 n⁺층 위에 투명금속과 불투명금속을 적층하는 단계와, 상기한 투명금속 및 불투명금속을 에칭하여 각각 투명금속과 불투명금속으로 이루어진 소스전극, 드레인전극 및 데이터전극을 형성하는 단계와, 상기한 반도체층 및 n⁺층을 에칭하여 채널층 및 오믹콘택층을 형성하는 단계와, 상기한 기판 위에 보호막으로 형성하는 단계와, 데이터전극의 불투명금속을 제거하는 단계로 구성된다.

상기한 게이트절연막, 반도체층, n⁺층을 연속적층하여 형성하거나 게이트절연막과 반도체층을 적층한 후 상기한 반도체층에 n⁺이온을 도핑하여 형성한다. 또한, 반도체층 및 n

⁺층의 에칭은 소스전극, 드레인전극 및 데이터전극을 마스크로 사용하여 이루어지며, 보호막은 박막트랜지스터 영역 위에만 적층되어 횡전계의 세기가 약화되는 것을 방지한다.

발명의 구성 및 작용

이하, 첨부한 도면을 참조하여 본 발명에 따른 횡전계방식 액정표시소자 및 그 제조방법을 상세히 설명한다.

도 4는 본 발명의 횡전계방식 액정표시소자의 제조방법을 나타내는 도면이다. 우선, 도 4(a)에 나타낸 바와 같이, 기판(110) 위에 Cr, Mo, Ti, Al 또는 Al 합금 등과 같은 금속을 스퍼터링(sputtering)방법에 의해 적층한 후 에칭하여 게이트배선(도면표시하지 않음), 게이트전극(105) 및 공통전극(115)을 형성한 후, SiO_x나 SiNx와 같은 무기를, 비정질실리콘(a-Si), n

⁺ a-Si을 CVD(chemical vapor deposition) 방법에 의해 연속증착하여 게이트절연막(120), 반도체층(109) 및 n⁺층(119)을 형성한다. 이때, 상기한 n⁺ a-Si을 연속증착하는 대신 반도체층(109)에 PH₃를 이온도핑(ion doping)하여 n

⁺층(119)을 형성하는 것도 물론 가능하다.

그 후, 도 4(b)에 나타낸 바와 같이, n⁺층(119)에 레이저(laser)를 조사하여 상기한 n⁺층(119)을 어닐링(annealing)한다. 이 어닐링에 의해, n

⁺층(119)이 다결정 n⁺층으로 결정화(crystallization)되는데, 이때 조사되는 레이저의 조사에너지를 200mJ/cm² 이하로 하여 n⁺층(19) 혹은 PH₃가 도핑된 상부의 반도체층만이 결정화되도록 한다.

그 후, 도 4(c)에 나타낸 바와 같이, ITO과 같은 투명금속과 Cr, Ta, Al, Al합금과 같은 불투명금속을 스퍼터링방법에 의해 연속적층하여 투명금속층(135)과 불투명금속층(136)을 형성한다. 상기한 투명금속층(135)과 불투명금속층(136)은 한 개의 마스크(mask)에 의해 한꺼번에 에칭되어 도 4(d)에 나타낸 바와 같은 투명 금속인 ITO로 이루어진 제1데이터배선(102a)과 불투명금속으로 이루어진 제2데이터배선(102b), 제1소스전극(106a) 및 제2소스전극(106b), 제1드레인전극(107a) 및 제2드레인전극(107b), 제1데이터전극(116a) 및 제2데이터전극(116b)이 된다. 이어서, 상기한 데이터배선(102a, 102b), 소스전극(106a, 106b), 드레인 전극(107a, 107b) 및 데이터 전극(116a, 116b)을 마스크로 사용하여 반도체층(109)과 n

⁺층(119)을 에칭하여 채널층(109) 및 오믹콘택층(119)을 형성한다.

이어서, 도 4(e)에 나타낸 바와 같이, SiO_x나 SiNx 등을 적층하고 에칭하여 보호막(121)을 형성한 후, 화소영역의 제2데이터전극(116b)을 에칭하여 투명한 제1데이터전극(116a)만을 남겨 놓는다. 일반적인 횡전계방식 액정표시소자에서는 보호막(121)이 기판(110) 전체에 걸쳐서 적층되어 있다. 그러나, 공통전극(115a)과 데이터전극(116b) 위의 보호막(121)이 양전극(115, 116) 사이에서 캐패시터(capacitor)로 작용하기 때문에, 액정층에 인가되는 횡전계가 악화되어 액정분자의 회전속도를 저하시킨다. 따라서, 본 발명에서는 도 4(e)에 나타낸 바와 같이, 화소영역의 보호막(121)을 에칭하기 때문에, 액정분자의 회전속도(즉, 스워칭속도)가 더욱 향상된다.

상기한 공정에 의해 제조된 본 발명의 횡전계방식 액정표시소자는 도 4(e)에 나타낸 바와 같이, n⁺층(119)이 다결정 n⁺ a-Si으로 되어 있고, 상기한 n⁺층(119)과 접촉하는 소스전극과 드레인전극이 투명금속층(106a, 107a)과 불투명금속층(106b, 107b)으로 형성되어 있기 때문에, 상기한 n⁺ a-Si층(119)과 ITO층(107a)이 접촉하게 되어 계면저항이 증가하는 문제를 해결할 수 있게 된다. 또한, 화소영역의 데이터전극(116a)이 투명한 ITO로 이루어져 있기 때문에 개구율이 향상될 뿐만 아니라 데이터배선 역시 투명금속층(102a)과 불투명금속층(107b)으로 되어 있기 때문에 신호지역의 발생이 방지된다.

발명의 효과

본 발명은 상기한 바와 같이, 투명한 ITO로 이루어진 데이터전극을 한 번의 공정에 의해 소스전극 및 드레인전극과 동시에 형성하기 때문에 제조공정이 간단해진다. 또한, 데이터전극 자체가 투명금속으로 이루어져 개구율이 향상될 뿐만 아니라, n⁺층이 다결정 a-Si으로 이루어져 있으며 데이터배선, 소스전극 및 드레인전극이 저항이 낮은 불투명금속과 ITO로 이루어진 투명금속으로 이루어져 있기 때문에 n⁺층과 소스/드레인전극 사이의 계면저항에 의한 문제와 데이터배선의 저항증가에 의한 신호지연의 문제를 해결할 수 있게 된다.

(57) 청구의 범위

청구항1

기판과; 상기 기판에 종횡으로 배열되어 화소영역을 정의하는 복수개의 게이트배선 및 데이터배선과; 게이트전극과, 상기 게이트전극 위에 적층된 게이트절연막과, 상기 게이트절연막 위에 형성된 반도체층과, 상기 반도체층 위에 형성된 다결정 오믹콘택층과, 상기 오믹콘택층 위에 형성된 동일폭의 투명금속과 불투명금속의 이중 층으로 이루어진 소스전극 및 드레인전극으로 구성되어 상기한 게이트배선과 데이터배선의 교차점에 배치된 복수개의 박막트랜지스터와; 상기 화소영역에 형성된 적어도 하나의 제1전극과; 상기 제1전극과 평행하게 배열된 투명금속으로 이루어진 적어도 하나의 제2전극으로 구성된 횡전계방식 액정표시소자.

청구항2

제 1 항에 있어서, 제1전극이 공통전극이고 제2전극이 데이터전극인 것을 특징으로 하는 횡전계방식 액정표시소자.

청구항3

제 1 항에 있어서, 상기한 투명금속이 ITO(indium tin oxide)인 것을 특징으로 하는 횡전계방식 액정표시소자.

청구항4

제 1 항에 있어서, 상기한 불투명금속이 Al, Cr, Ta, Al 합금으로 이루어진 일군으로부터 선택되는 것을 특징으로 하는 횡전계방식 액정표시소자.

청구항5

제 1 항에 있어서, 상기한 기판 위에 적층된 보호막을 추가로 포함하는 것을 특징으로 하는 횡전계방식 액정표시소자.

청구항6

제 5 항에 있어서, 상기한 보호막이 박막트랜지스터의 위에 형성된 것을 특징으로 하는 횡전계방식 액정표시소자.

청구항7

기판을 제공하는 단계와; 기판 위에 게이트배선, 게이트전극 및 공통전극을 형성하는 단계와; 상기한 기판 위에 게

이트절연막, 반도체층, n⁺층을 형성하는 단계와; 상기한 n⁺층을 결정화 하는 단계와; 상기한 n⁺층 위에 투명금속과 불투명금속을 적층하는 단계와; 상기한 투명금속 및 불투명금속을 에칭하여 각각 투명금속과 불투명금속으로 이루어진 소스전극, 드레인전극 및 데이터전극을 형성하는 단계와; 상기한 반도체층 및 n⁺층을 에칭하여 채널층 및 오믹콘택층을 형성하는 단계와; 상기한 기판 위에 보호막을 형성하는 단계와; 데이터전극의 불투명금속을 제거하는 단계로 이루어진 횡전계방식 액정표시소자 제조방법.

청구항8

제 7 항에 있어서, 게이트절연막, 반도체층, n⁺층을 형성하는 단계가, 게이트절연막과 반도체층을 형성하는 단계와; 상기한 반도체층에 n⁺이온을 도핑하는 단계로 이루어진 단계로 구성된 것을 특징으로 하는 횡전계방식 액정표시소자 제조방법.

청구항9

제 7 항에 있어서, 게이트절연막, 반도체층, n⁺층을 형성하는 단계가 게이트절연막, 반도체층, n⁺층을 연속적층하는 단계로 이루어진 것을 특징으로 하는 횡전계방식 액정표시소자 제조방법.

청구항10

제 7 항에 있어서, n⁺층을 결정화하는 단계가 상기한 n⁺층에 레이저를 조사하는 단계를 포함하는 것을 특징으로 하는 횡전계방식 액정표시소자 제조방법.

청구항11

제 7 항에 있어서, 투명전극과 불투명전극을 적층하는 단계가 ITO(indium tin oxide)로 이루어진 투명금속과 Cr, Al, Ta, Al 합금으로 이루어진 불투명금속을 연속적층하는 단계를 포함하는 것을 특징으로 하는 횡전계방식 액정표시소자 제조방법.

청구항12

제 7 항에 있어서, 상기한 투명금속과 불투명금속이 1회의 공정에 의해 에칭되는 것을 특징으로 하는 횡전계방식 액정표시소자 제조방법.

청구항13

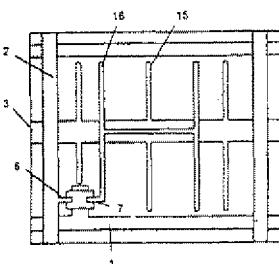
제 7 항에 있어서, 상기한 반도체층 및 n⁺층이 소스전극, 드레인전극 및 데이터전극을 마스크로 사용하여 에칭되는 것을 특징으로 하는 횡전계방식 액정표시소자 제조방법.

청구항14

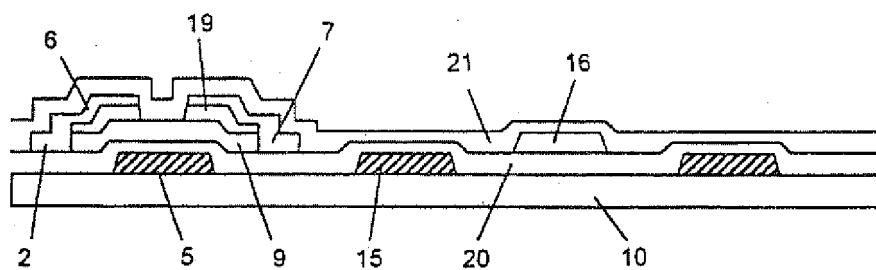
제 7 항에 있어서, 상기한 보호막을 형성하는 단계가, 기판 전체에 걸쳐서 보호막을 적층하는 단계와; 화소영역의 보호막을 에칭하는 단계로 이루어진 것을 특징으로 하는 횡전계방식 액정표시소자 제조방법.

도면

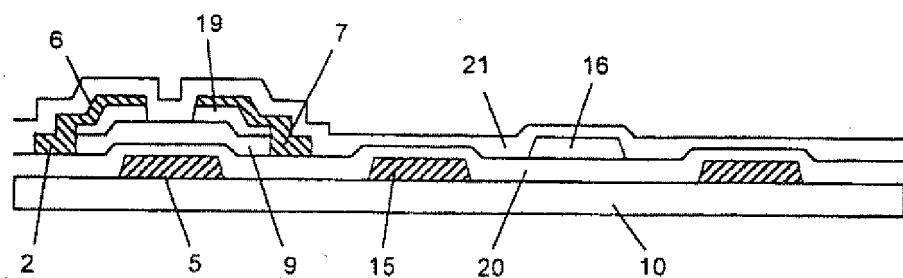
도면1



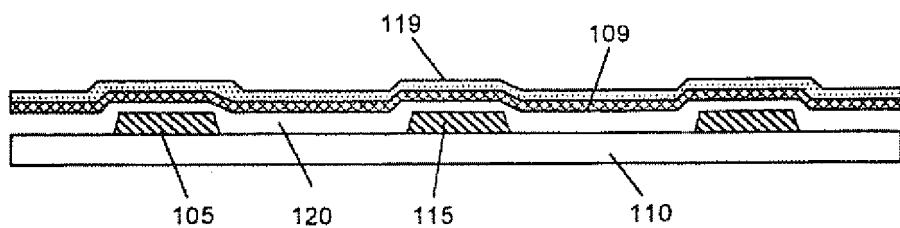
도면2



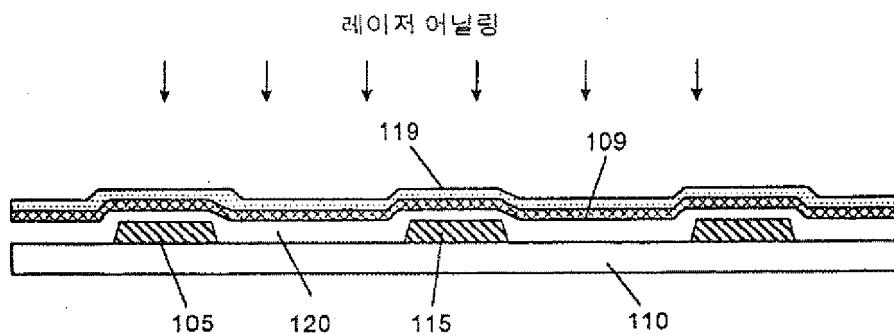
도면3



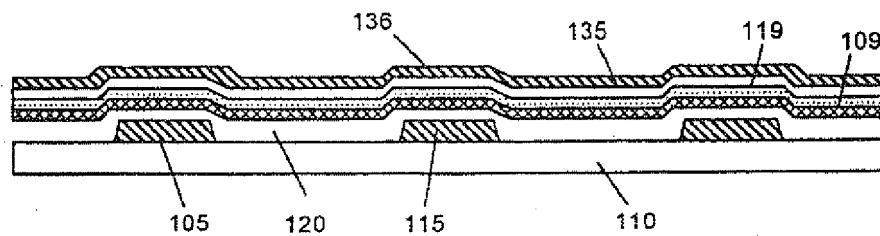
도면4a



도면4b

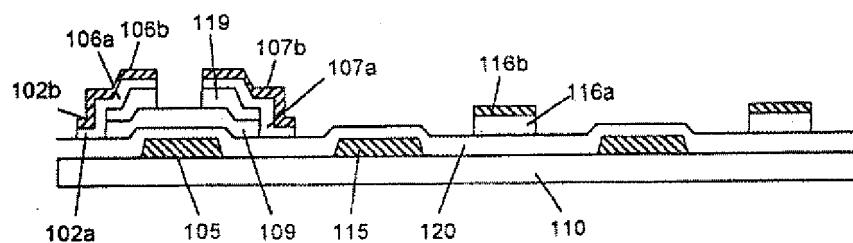


도면4c



도면 4d

(d)



도면 4e

